

CIRCUIT CONSTITUTION DEVICE*Best Available Copy*

Patent number: JP1125123
Publication date: 1989-05-17
Inventor: TANAKA SEIYA; IWAMURA MASAHIRO
Applicant: HITACHI LTD
Classification:
- **International:** G06F7/00; H01L21/82; H01L27/04; H03K19/173
- **European:**
Application number: JP19870283723 19871110
Priority number(s): JP19870283723 19871110

Report a data error here

Abstract of JP1125123

PURPOSE:To attain the reconstitution of a circuit during the system operation by providing a 1st storage means storing the input/output data of a CPU and a 2nd storage means receiving and storing circuit constitution information. **CONSTITUTION:**The 1st storage means stores a circuit constitution pattern and a circuit constitution means receives a circuit constitution pattern via a CPU and outputs it as the circuit constitution information, and the 2nd storage means stores the circuit constitution information to operate a switch means and the circuit constitution means applies circuit constitution via said switch. Moreover, the result of the circuit constitution and the calculation of it by an arithmetic circuit is stored in the 1st storage means by the circuit constitution data storage control means to attain the convenience for further usage. Thus, desired circuit constitution patterns are coupled through the circuit constitution components via the switch and the circuit or the result of calculation thus formed is used as the circuit constitution component to attain further larger circuit constitution.

Data supplied from the *esp@cenet* database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-125123

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月17日

H 03 K 19/173
G 06 F 7/00
H 01 L 21/82
27/04

1 0 1

7328-5J
Z-7313-5B
7925-5F
7514-5F

審査請求 未請求 発明の数 2 (全9頁)

⑮ 発明の名称 回路構成装置

⑯ 特 願 昭62-283723

⑰ 出 願 昭62(1987)11月10日

⑱ 発 明 者 田 中 成 弥 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 岩 村 将 弘 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 鶴 沼 辰 之 外1名

明 細 書

1. 発明の名称

回路構成装置

2. 特許請求の範囲

1. CPUと、該CPUの入出データを記憶する第1記憶手段と、該第1記憶手段の記憶する回路構成パターンを前記CPUを介して入力し回路構成情報を出力する回路構成制御手段と、該回路構成情報を入力して記憶する第2記憶手段と、該第2記憶手段の記憶する前記回路構成情報により動作するスイッチ手段と、該スイッチ手段を介して回路構成をする回路構成手段を備えたことを特徴とする回路構成装置。

2. CPUと、該CPUの入出データを記憶する第1記憶手段と、該第1記憶手段の記憶する回路構成パターンを前記CPUを介して入力し回路構成情報を出力する回路構成制御手段と、該回路構成情報を入力して記憶する第2記憶手段と、該第2記憶手段の記憶する前記回路構成情報により動作するスイッチ手段と、該スイッチ

手段を介して回路構成をする回路構成手段と、該回路構成のデータを前記第1記憶手段に記憶させる回路構成データ記憶制御手段とを備えたことを特徴とする回路構成装置。

3. 前記回路構成手段が構成した回路構成が演算回路であり、該演算回路が演算した演算データを前記第1記憶手段に記憶することを特徴とする特許請求の範囲第2項記載の回路構成装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、回路構成装置に係り、特に回路構成がプログラム可能な回路構成装置に関する。

(従来の技術)

従来の専用ハードウェア、例えば、科学計算における乗算器等は、システム設計者が論理設計した固定された回路構成であり、これによってシステムの性能を向上していた。専用ハードウェアが複数個必要なシステムでは、すべての専用ハードウェアを持っていたため、大規模になる。

一方、ユーザー側で情報を設定することのでき

るICとしては、回路ブロック間の一部にPLA(プログラム ロジック アレイ)などを組み込んだフィールドプログラムICがある。

“回路ブロック”とは、単一の機能をもつものから複数の機能をもつものまでの回路機能を指し、例えばNANDゲートやNORゲートからメモリやマイクロCPU(MPU)に至るまでの広い範囲の回路機能を指すものである。

しかし、フィールドプログラムICは、プログラムするための装置(ROMライター)により個別にプログラムしなければならなかった。初めに一度だけプログラムすることができるものが多く、再構成することができない。これらの例としてヒューズ式レーザ・カット・コネクタ等によるフィールドプログラムICがある。

また、日立マイクロコンピュータシステムカタログZTATTMのマイコンのようなフィールドプログラムICもあるが、プログラム可能エリアは、メモリ部分であり、回路を再構成する半導体装置に関するものではない。

手段を介して回路構成する回路構成手段を備えたことまたはさらに、該回路構成のデータを前記第1記憶手段に記憶させる回路構成データ記憶制御手段とを備えた回路構成装置によつて解決される。

〔作用〕

上記構成により、第1記憶手段は回路構成パターンを記憶し、回路構成制御手段はCPUを介して前記回路構成パターンを入力して回路構成情報として出力し、第2記憶手段はこの回路構成情報を記憶してスイッチ手段を動作させ、回路構成手段は該スイッチを介して回路構成を行なう。さらにこの回路構成、この回路構成によつて生成した演算回路によつて演算した結果を回路構成データ記憶制御手段により前記第1記憶手段に記憶し、以後の使用の便宜を図る。

〔実施例〕

以下、本発明の実施例を第1図～第13図により説明する。第1図は第1実施例の構成を示すブロック図で100は回路構成装置である。

回路構成装置100には、CPU101、メモ

また最近、電氣的に書き変えられるEPROM等を利用したフィールドプログラムICがある。しかし、回路の再構成の時にはEPROMライター等の装置が必要である。

〔発明が解決しようとする問題点〕

上記従来技術は、回路の再構成の点について配慮がされておらず、システムを止めて回路再構成を行なわなければならないという問題があった。

本発明の目的は、システム動作中に回路の再構成を行なう回路構成装置を提供することにある。

また、再構成を行なうことにより回路構成に学習能力をもたせることにある。

〔問題点を解決するための手段〕

上記問題点は、CPUと、該CPUの入出データを記憶する第1記憶手段と、該第1記憶手段の記憶する回路構成パターンを前記CPUを介して入力し回路構成情報を出力する回路構成制御手段と、該回路構成情報を入力して記憶する第2記憶手段と、該第2記憶手段の記憶する前記回路構成情報により動作するスイッチ手段と、該スイッチ

リ102、回路構成可能領域103、CPU101とメモリ102および回路構成可能領域103の信号を結ぶ信号線104、ネット制御用コントローラ105より出力されるネット制御用信号線106、回路構成可能な領域103に有効な回路が構成されているかどうかを記憶するフリップフロップ107より構成されている。

次に第1図の動作を説明する。

CPU101とメモリ102、および、それらを結ぶ信号線104は通常のコンピュータ構成をしている。

専用ハードウェアがあれば高速に処理できる場合、あらかじめ定められた回路構成のための情報をネット制御部105によつて回路構成可能領域103の各スイッチについている記憶部にデータ伝搬し、その情報にあわせてスイッチがON、OFFすることにより回路が回路構成可能領域103に構成できる。回路構成完了後、その回路をフリップフロップ107にセットする。CPUは、現在、回路構成可能領域103の回路が構成

されていることを、フリップフロップ108を通して知らされる。これによりCPU101は、従来通り、専用ハードウェアがある場合と同様の動作を行なう。専用ハードウェアが頻繁に利用されるとその分処理性能は向上する効果がある。

次にまたCPUを利用する別のユーザが別の処理を始めると、その処理のための専用ハードウェアを上記に述べた方法により再構成して回路構成可能領域103上に構築する。

第2図は、第1図の回路構成可能領域103を示したものであり回路構成可能領域103の回路として 3×3 ビットの乗算器と1～3ビットシフト回路を構築する方法を以降に説明する。回路ブロック301-1～301-12、スイッチ、および、記憶装置210、201、202、203より構成される。

スイッチおよび記憶装置210、201、202、203は第8図に示すようにスイッチ部801、記憶部802、記憶部802に回路情報を伝搬する信号線106より構成される。

る並列乗算器の乗算時間(c)にCPUによるシフト時間、(d)に専用シフタによるシフト時間を示す。

これにより、専用ハードウェアの方が処理時間が短いことがわかる。

第10図は、第1実施例回路構成可能領域103に構築した乗算器、シフタの動作を示す。

処理が例えば、科学計算、ビット演算、科学計算と続いた場合、初めに回路構成可能領域103に乗算器を構築して科学計算を行なう。次に、ビット演算であることをCPU101がネット制御部105に知らせると、フリップフロップ107をリセットしてシフト回路に再構成するための制御を行なう。なお、この間CPU101は別処理をすることが可能である。第7図のようにシフト回路の構築が完了するとフリップフロップにセットしCPU101に知らせる。CPU101は、専用のシフト回路がある場合と同様に動作する。

なお、次の科学計算が始まると、回路構成可能領域103は第5図のように再構築できる。

第3図は、一般的な並列乗算器の回路を示す。乗数A0～A1、被乗数B0～B2を入力して 3×3 の演算処理後S0～S5に出力する。

第4図に第3図に示す回路ブロック301-nの詳細を示す。回路ブロック内は、NAND401、クロックドインバータ402、FA(全加算器)403より構成される。

第5図は、回路構成可能領域103に第3図の乗算器を構築したものを示す。501は、スイッチをONにするような情報を記憶し、502は、スイッチをOFFにするような情報を記憶する。

第6図は、一般的な1～3ビットシフト回路を示す。データA0～A5をシフト制御信号B0～B2によりシフトし、S0～S3に結果を出力する。

第7図は、回路構成可能領域103に第6図のシフタを構築したものを示す。

第9図は第1実施例で構成した回路の性能を説明したもので、(a)にCPUにより乗算をした時の乗算時間を、(b)に専用ハードウェアによ

これにより、ユーザが必要な時、必要な専用ハードウェアを構築でき、すくないハードウェアで性能の向上がはかれる。

なお、第1実施例では、 3×3 乗算器とシフタ回路について述べたが、スイッチ切り換えにより多くの回路構成をとり得る。また回路ブロック301についても単一機能から複雑機能まで取り得ることができる。

第1実施例では回路ブロック301-nを固定にしているが回路ブロック301-nもNANDクロックドインバータ、F.A.を本発明により構成してもかまわない。つまり初めに回路ブロック301-nを構成し、その後この回路ブロックは再構成せずに回路ブロックの接続するところだけを第5図、第7図に示すように再構成することもできる。つまりネット制御用信号線をスイッチングできるようにしパラレル、シリアル伝送等により階層構造にすることにより階層的な論理が構築できる。

第11図はひの階層構造の1例を示したもので、

3次元LSI1100を示し、構築する回路を例えば第1面とし、メモリに伝搬するための配線、スイッチのON、OFF情報を記憶するための記憶回路等を構築する回路と異なる面、例えば、第2面に配置することにより、第1実施例に示したような1平面上の配置を2平面に立体的に配置してコンパクト化できる。

次に本発明の第2実施例を示す。

第12図に示すように、最終の大規模論理回路を構築する上で、その情報を別の回路により演算処理して発生させ、それを基に大規模論理を構築することができる。

第13図は、第1図のCPU101として4ビットCPUを設けている。(b)図に示すように4ビットCPUは初めに16ビットCPUを回路構成可能領域103に構築する。これは、大規模論理回路を高速に発生させるための手段である。この16ビットCPUにより最終目的の論理回路を作成するための情報を発生させ、一時、この情報をメモリに格納する。

に第3図に示す乗算回路を構成した図、第6図はシフト回路図、第7図は回路構成可能領域に第6図に示すシフト回路を構成した図、第8図はスイッチおよび記憶装置を示す図、第9図、第10図は第1実施例の動作説明図、第11図は3次元3LSIの概念図、第12図は本発明の第2実施例の基本フローを示す図、第13図は第12図の具体例を示す図である。

100…回路構成装置、101…CPU、102…メモリ、103…回路構成可能領域、104…信号線、105…ネット制御用コントローラ、106…ネット制御用信号線、107…フリップフロップ。

代理人 弁理士 鶴沼辰之

次に最終論理情報をメモリから回路構成可能領域103に伝搬して最終目標論理回路を構築できる。

このように必要な回路情報の一部を中間的な回路または高速にパターンを発生させる回路により得る方法も可能であり、このような学習効果もある。

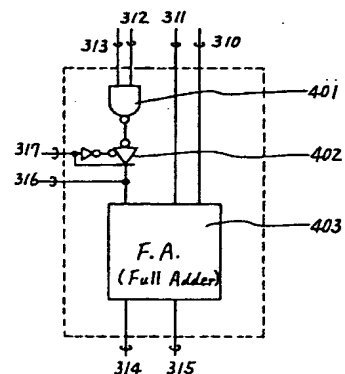
〔発明の効果〕

本発明によれば、所望の回路構成パターンを回路構成要素をスイッチを介して接合することにより構成することができ、さらにこのようにして構成した回路、またはこの回路が演算した結果を記憶し、以降これらの回路や演算結果を回路構成要素として使用しさらに大きな回路構成を可能とする。

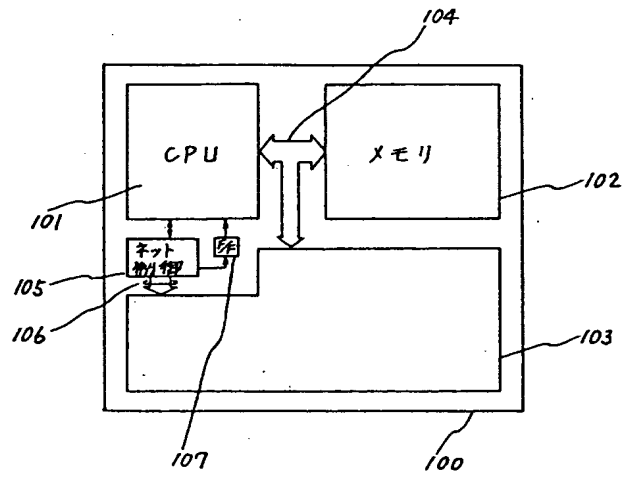
4. 図面の簡単な説明

第1図は本発明の第1実施例の構成を示すブロック図、第2図は回路構成可能領域を示す図、第3図は乗算回路構成図、第4図は第3図に示す回路ブロックの詳細図、第5図は回路構成可能領域

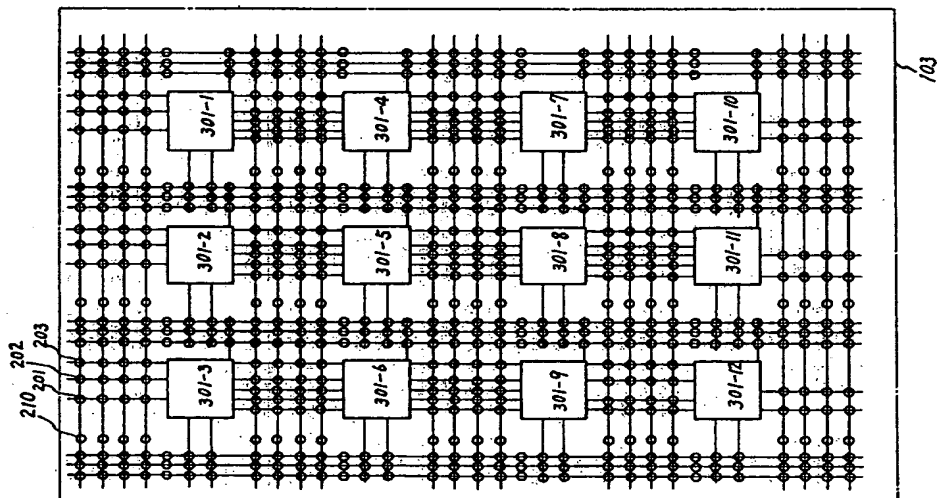
第4図



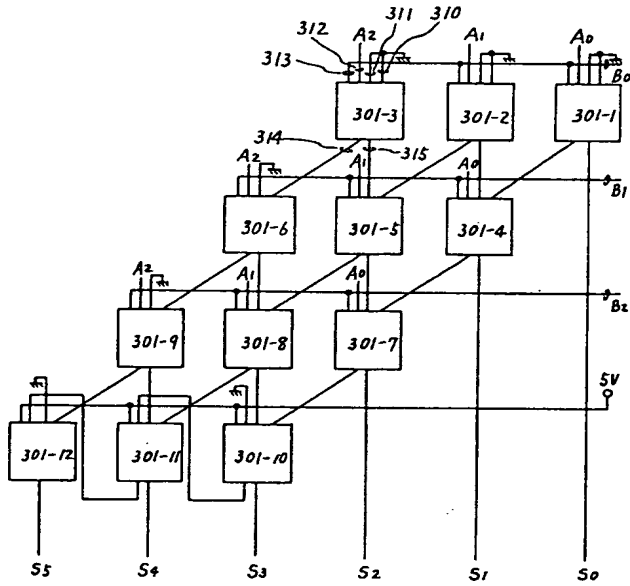
第1図



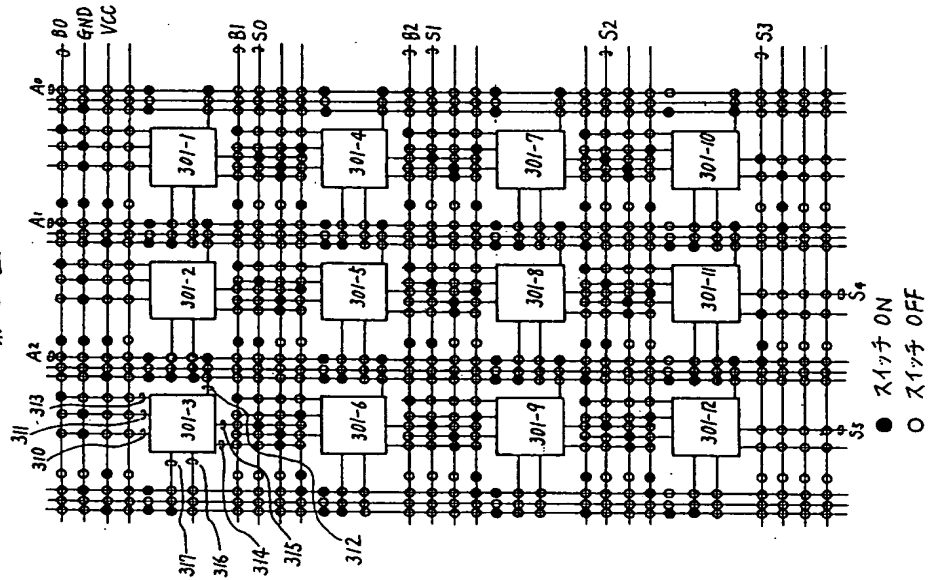
第2図



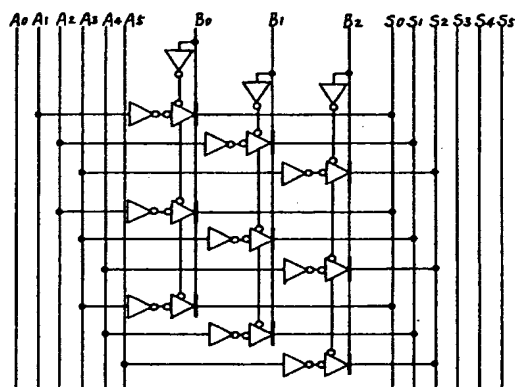
第 3 図



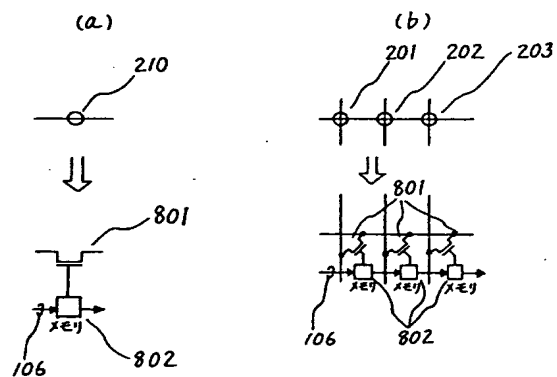
第 5 圖



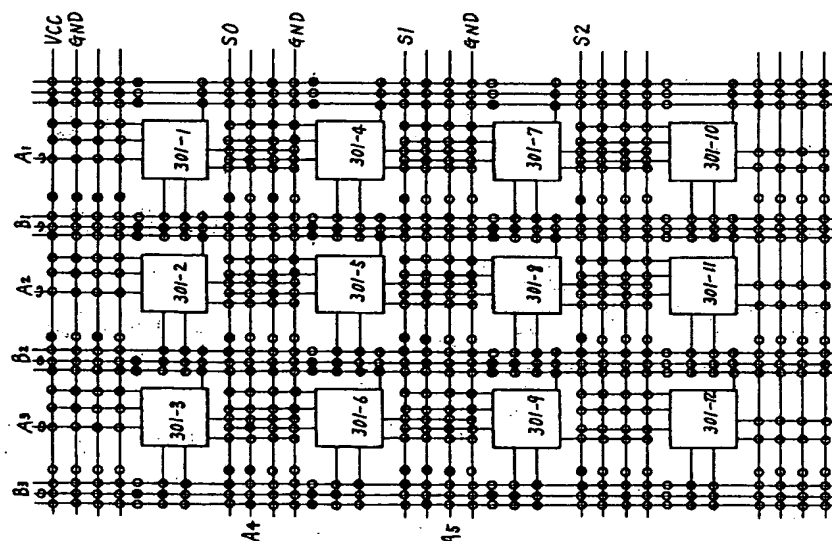
第 6 図



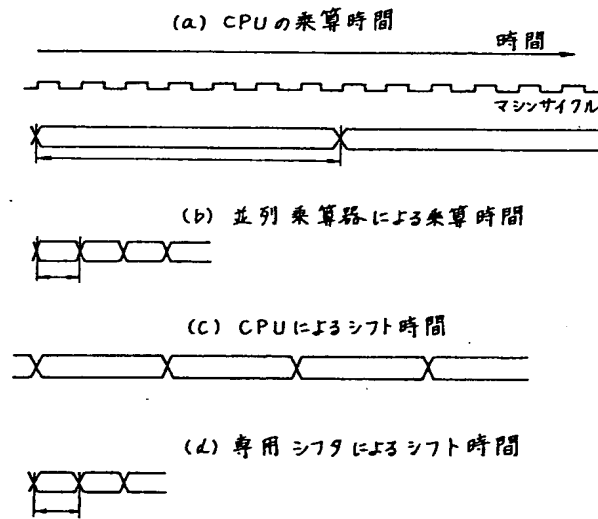
第 8 図



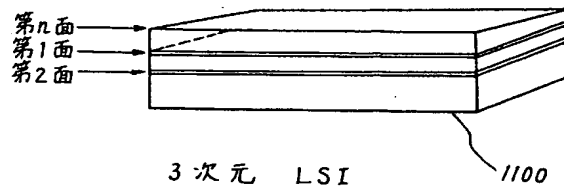
第 7 図



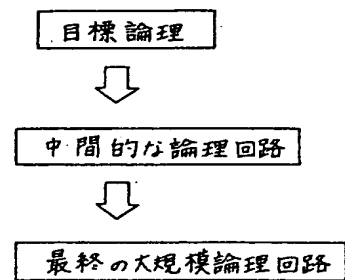
第9図



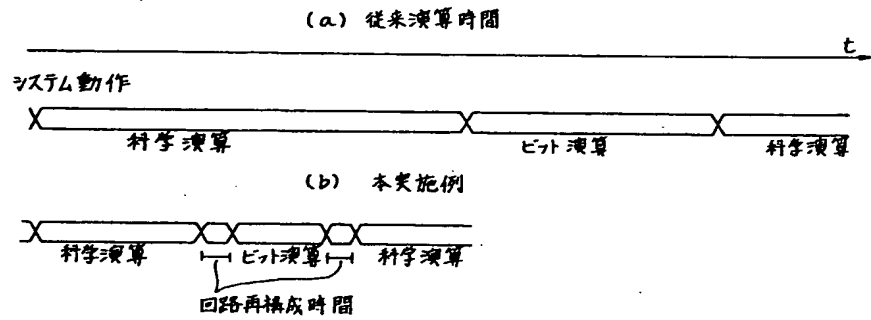
第11図



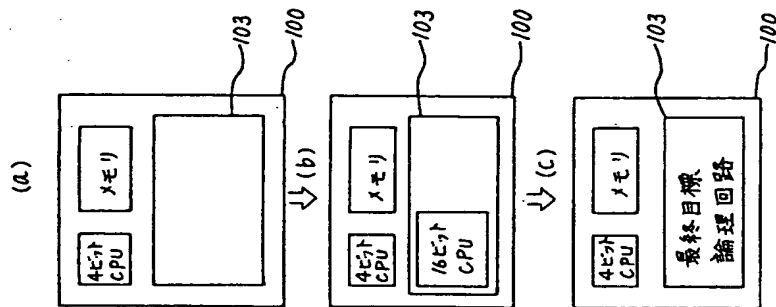
第12図



第10図



第13図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.